

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-163374

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)7月20日

H 01 L 29/78
21/265
29/60

8422-5F
7738-5F

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 昭61-5563

⑯ 出 願 昭61(1986)1月14日

⑰ 発 明 者 佐々木 元 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、この薄い絶縁膜上に多結晶シリコン膜および導電性被膜を形成する工程と、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜を選択的にエッチングし、更に露出した多結晶シリコン膜をエッチングしてゲート電極を形成すると共に、pポケット形成用開口部を形成する工程と、前記開口部を通して第1導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜を除去した後、不要な薄い絶縁膜を除去してゲート絶縁膜を形成

する工程と、前記ゲート電極及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの低濃度不純物拡散領域を形成する工程と、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの高濃度不純物拡散領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(2) 導電性被膜がモリブデンからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 導電性被膜がモリブデンシリサイドからなることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(4) pポケット領域の深さが高濃度不純物拡散領域の深さと同じか、それ以上であることを

特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明上の利用分野〕

本発明は半導体装置の製造方法に関し、特にMOS型半導体装置の製造方法の改良に係る。

〔従来の技術〕

近年、MOS型半導体集積回路においては高密度化、高速化が急速に進んでいる。かかる集積回路では、ゲート長の微細化がなされているが、それに伴ってショートチャンネル効果やブレイクダウン電圧が問題となる。

このような問題を改善するMOS型半導体装置の製造方法として、Seiki Ogura et al. "A HALF MICRO MOSFET USING DOUBLE IMPLANTED LDD" IEDM '82, PP 718~721が提案されている。これを第2図(a), (b)を参照して以下に説明する。

まず、p型シリコン基板1表面に素子分離領域としてのフィールド酸化膜2を選択的に形成した後、フィールド酸化膜2で分離された基板

領域6₁とn⁺型領域9₁とからなるドレイン領域11が夫々形成される。またn型領域6₁, 6₂の下層にp型領域(pポケット領域)12₁, 12₂が残存される。ひきつづき、全面に白金膜を蒸着し、熱処理を施して基板1の露出したn⁺型領域9₁, 9₂に白金シリサイド層13₁, 13₂を形成した後、未反応の白金膜を除去する(第2図(b)図示)。この後図示しないが、常法に従ってCVD-SiO₂膜(層間絶縁膜)を堆積し、コンタクトホールの開孔、金属配線のパターニングを行なってMOS型半導体装置を完成する。

上述した方法により製造されたMOS型半導体装置にあっては、ブレイクダウン電圧をLDD構造のn型領域6₁により改善し、ショートチャンネル効果をn型領域6₁, 6₂の下層に付加的に設けられたpポケット領域12₁, 12₂により改善できる。

〔発明が解決しようとする問題点〕

しかしながら、上記従来方法では次のような問題点がある。

1の島領域に熱酸化膜3を形成する。つづいて、全面に不純物ドーパ多結晶シリコン膜を堆積し、パターニングしてゲート電極4を形成した後、該ゲート電極4及びフィールド酸化膜2をマスクとしてp型不純物をイオン注入して島領域にp型領域5₁, 5₂を形成し、更に同ゲート電極4をマスクとして島領域に該p型領域より接合深さが浅い低濃度のn型領域6₁, 6₂を形成する(第2図(a)図示)。

次いで、ゲート電極4をマスクとして熱酸化膜3を選択的にエッチングしてゲート酸化膜7を形成し、更に全面にCVD-SiO₂膜を堆積した後、リアクティブイオンエッチング(RIE)法によりCVD-SiO₂膜をその膜厚程度エッチングしてゲート電極4の側面にスペーサ8を形成する。つづいて、ゲート電極4、スペーサ8及びフィールド酸化膜2をマスクとしてn型不純物をイオン注入し、活性化してn⁺型領域9₁, 9₂を形成する。この工程によりn型領域6₁とn⁺型領域9₁とからなるソース領域10、並びにn型

(1) pポケット領域12₁, 12₂は、その目的よりドレイン領域11から空乏層がチャンネル領域へ拡がるのを抑え、ショートチャンネル効果を抑制するために、濃度をより高くすることが望ましい。しかしながら、pポケット領域12₁, 12₂は第2図(b)に示すようにpポケット領域12₁, 12₂とn⁺型領域9₁, 9₂とが接しているため、pポケット領域12₁, 12₂の濃度を高くすると、それらの間の接合容量が大きくなり、高速化の妨げとなる。したがって、ショートチャンネル効果を抑制しようとする、高速化が犠牲となり、逆に高速化を維持しようとする、ショートチャンネル効果の抑制化が図れなくなる。

(2) n⁺型領域9₁, 9₂を形成する工程においては、該n⁺型領域9₁, 9₂とその前工程で形成したpポケット領域となるp型領域5₁, 5₂の間の全体に亘って接合容量が生じるのを防止するために、n⁺型領域9₁, 9₂の接合深さ(xj)をp型領域5₁, 5₂の接合深さ(xj)

より深くする必要がある。その結果、 n^+ 型領域 $9_1, 9_2$ の接合深さが深くなることに伴なり横方向の拡散により n 型領域 $6_1, 6_2$ の幅が狭くなったり、場合によっては消滅する問題が生じる。

(3) p ポケット領域 $12_1, 12_2$ となる p 型領域 $5_1, 5_2$ と n 型領域 $6_1, 6_2$ は二重イオン打込みにより形成しているため、島領域へのダメージ発生を招く。こうしたダメージは高温熱処理により回復されるが、ソース、ドレイン領域のシャロー化に伴なり低温プロセスへの移行により十分に回復し得ない問題が生じる。

本発明は、上記欠点を解決するためになされたもので、ポケット領域と高濃度不純物拡散領域を制御性よく形成してその接合容量の発生を防止し、高速化を図ると同時に、微細化に伴なりショートチャンネル効果を抑制することが可能なMOS型半導体集積回路等の半導体装置を製造し得る方法を提供しようとするものである。

ピングして互に電気的に分離された2つの低濃度不純物拡散領域を形成する工程、前記ゲート電極の側壁に少なくとも前記ポケット領域上方の半導体層表面を覆うようにスペーサを形成する工程と、ゲート電極、スペーサ及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドーピングして互に電気的に分離された2つの高濃度不純物拡散領域を形成する工程とを具備することを骨子とするものである。

上記半導体層とは、半導体基板又は基板上に直接もしくは絶縁層を介して形成された半導体層、或いは絶縁基板上に形成された半導体層を意味するものである。

上記導電性被膜としてはモリブデン膜、モリブデンシリサイド膜等を挙げることができる。

〔作用〕

上述した本発明によればゲート電極側壁にスペーサを形成し、これらをマスクとして第2導電型不純物をイオン注入し、活性化することによって、 p ポケットと接触しない高濃度の第2

〔問題点を解決するための手段〕

本発明は第1図(a)型の半導体層表面に選択的に素子分離領域を形成する工程と、この素子分離領域で分離された半導体層の島領域に薄い絶縁膜を形成する工程と、多結晶シリコン膜を形成し、全面にレジストパターン周辺の下地選択エッチング性を有する導電性被膜を形成した後、該被膜上のゲート電極予定部にレジストパターンを形成する工程と、このレジストパターン周辺の導電性被膜及び多結晶シリコン膜を選択的にエッチングしてゲート電極を形成すると共に、 p ポケット形成用開口部を形成する工程と、この開口部を通して第1導電型の不純物を前記半導体層にその表面より深い領域にドーピングし、該半導体層より高濃度のポケット領域を形成する工程と、前記ゲート電極以外の導電性被膜及び多結晶シリコン膜を除去した後、不要な薄い絶縁膜を除去してゲート絶縁膜を形成する工程と、前記ゲート電極及び素子分離領域をマスクとして第2導電型の不純物を前記島領域にドー

導電型不純物拡散領域を形成でき、既述の如く高速化とショートチャンネル効果の抑制とを同時に達成した半導体装置を得ることができる。

〔発明の実施例〕

以下、本発明を n チャンネルMOS-ICの製造に適用した例について第1図(a)～(e)を参照して説明する。

まず、 p 型シリコン基板21表面に選択酸化技術により素子分離領域としてのフィールド酸化膜22を選択的に形成した。つづいて、熱酸化処理を施して、フィールド酸化膜22で分離された基板21の島領域に例えば厚さ250Åの熱酸化膜23を成長した後、閾値制御のためのボロンを島領域にイオン注入してボロニオン層24を形成した。この後、全面に多結晶シリコン25を例えば4000Å堆積し、さらに2000Åのモリブデン膜26を堆積(蒸着)させた(第1図(a)図示)。つづいて、同図(b)に示すように多結晶シリコン膜25、モリブデン膜26上のゲート電極予定部に写真蝕刻法により

レジストパターン27を形成した。ひきつづき、 $CCl_4 + O_2$ (70%), $0.28 W/cm^2$, 4 ps の条件で RIE を行なった。この時、同時(c)に示すようにレジストパターン27周辺の下地(モリブデン膜26)のみエッチングされ、この際に出した多結晶シリコンをさらにエッチングすることにより、p ポケット用開口部28が形成されると共に、開口部28で分離された多結晶シリコン膜25'、モリブデン膜26'からなるゲート電極29が形成される。この開口部28の幅はエッチング時間によりサブミクロンから数ミクロンの範囲で変更できる。なお、前記下地の選択エッチング技術は例えば文献"SI RIEとペリフェラル・エッチング" 深野哲, Semiconductor World, 1983, 10 に報告されている。

次いで、p ポケット用不純物、例えばボロンを加速電圧100 keV、ドーズ量 $5 \times 10^{12} cm^{-2}$ の条件でイオン注入した。この時、同図(d)に示すようにゲート電極29以外の残存したモリブデン膜26'および多結晶シリコン膜25'並びに

レジストパターン27がボロンインプラのマスクとして作用し、前記開口部28から露出する島領域の表面より0.25 μm に不純物濃度ピークをもつp ポケット領域30₁, 30₂が形成された。こうしたイオン注入において、ボロンを熱酸化膜23を通して行なったが、これはゲート電極以外の残存モリブデン膜26'および多結晶シリコン膜25'を除去する際のマスクとするためである。

次いで、レジストパターン27をマスクとして通常のエッチング、例えば $CCl_4 + O_2$ (30%) の RIE を行なって露出した残存モリブデン膜26'および多結晶シリコン膜25'を除去した後、露出した酸化膜23を選択的にエッチングしてゲート酸化膜31を形成した。つづいて、レジストパターン27を除去し、ゲート電極29及びフィールド酸化膜22をマスクとしてn 型不純物、例えばリンを加速電圧30 keV、ドーズ量 $2 \times 10^{13} cm^{-2}$ の条件でイオン注入した後、熱処理により活性化して前記島領域に互に分離され

た低濃度のn 型領域32₁, 32₂を形成した(同図(e)図示)。

次いで、全面に厚さ4000 Å 程度の CVD-SiO₂ 膜を堆積した後、RIE 法により SiO₂ 膜をその膜厚程度エッチングしてゲート電極29の側壁に前記p ポケット領域30₁, 30₂ 上方の基板21表面領域を覆うスペーサ33を形成した。つづいて、ゲート電極29、スペーサ33及びフィールド酸化膜22をマスクとしてn 型不純物、例えば砒素を加速電圧40 keV、ドーズ量 $5 \times 10^{15} cm^{-2}$ の条件でイオン注入し、活性化して互に分離された高濃度のn⁺型領域35₁, 35₂を形成した。この工程によりn 型領域32₁とn⁺型領域35₁とからなるソース領域36、並びにn 型領域32₂とn⁺型領域35₂とからなるドレイン領域37が夫々形成された。また、本実施例においては、n⁺型領域の活性化熱処理の際にゲート電極29を構成する多結晶シリコン膜25'とモリブデン膜26'が反応してモリブデンシリサイド膜34が形成された。これによ

りモリブデンシリサイド膜34と多結晶シリコン膜25'よりなるゲート電極29が形成された(同図(f)図示)。

次いで、全面にリフロー用絶縁膜38を堆積し、平滑化のための900℃の熱処理を行ない、コンタクトホール39の開口、Al 膜の蒸着、パターニングによるソース、ドレイン取出しAl配線40, 41を形成してn チャンネル MOS-IC を製造した(同図(g)図示)。

しかし、本発明方法によればレジストパターン27周辺の下地選択エッチング性を有するモリブデン膜26を利用しその下の多結晶シリコン膜25をエッチングすることにより、ゲート電極29とp ポケット開口部28とを自己整合的に形成できる。その結果、開口部28を通してp ポケット領域30₁, 30₂を形成した後、ゲート電極29をマスクとしたn 型不純物のイオン注入、活性化により低濃度のn 型領域32₁, 32₂を形成した際、該n 型領域32₁, 32₂のチャンネル領域下部にp ポケット領

域 30_1 、 30_2 を自己整合的に位置させることができる。したがって、ゲート電極29側壁にスペーサ33を形成し、これらをマスクとしてn型不純物をイオン注入し、活性化することにより、pポケット 30_1 、 30_2 と接触しない高濃度の n^+ 型領域 35_1 、 35_2 を形成できるため、以下に示す効果を有する。

(1) pポケット 30_1 、 30_2 と n^+ 型領域 35_1 、 35_2 とが接触しないため、 n^+ 型領域 35_1 、 35_2 との間の接合容量を考慮せずに、該pポケット領域 30_1 、 30_2 の濃度を高くできる。このため、高速化が阻害されることなく、寸法の微細化に伴なうショートチャンネル効果を可能なかぎり抑制できる。

(2) n^+ 型領域 35_1 、 35_2 の深さを、pポケット領域 30_1 、 30_2 の深さに依存することなく自由に選定できる。このため、 n^+ 型領域 35_1 、 35_2 の接合深さを浅くでき、低濃度のn型領域 32_1 、 32_2 への横方向拡散による該領域 32_1 、 32_2 の幅縮小や消滅を防止

し、モリブデン、レジストと3層構造となっているため、突き抜けに対して強い構造を有している。

(7) ポリサイド構造のため従来の多結晶シリコンゲートの経路をそのまま生かせる。

なお、上記実施例ではpポケット領域の接合深さを n^+ 型領域より深くしたが、n型領域と同深さ、もしくはそれより浅くしても差し支えない。

上記実施例ではスペーサをそのまま残存させて層間絶縁膜の一部として利用したが、層間絶縁膜の堆積前にエッチング除去してもよい。スペーサはCVD- SiO_2 の代りに Si_3N_4 等のゲート電極材料に対して選択エッチング性を有するものを用いてもよい。

また、上記実施例においてはモリブデン膜を使用し、 n^+ 層活性化の際にシリサイド化させたが、 n^- 層活性化の際または、 n^+ 層、 n^- 層両方の活性化の際にシリサイド化を行われてもかまわない。

でき、ひいてはLDD構造を確実に実現でき、それによるブレイクダウン電圧の向上化やインパクトイオン化の緩和等を達成できる。

(3) pポケット形成のためのボロンインプラにおいて、残存した多結晶シリコン膜25'およびモリブデン膜26'がマスクとなり、基板21の島領域へのインプラダメージを防止できる。

(4) 最終的に形成されたゲート電極29が多結晶シリコン膜とモリブデンシリサイド膜34(ポリサイド構造)より構成されているため、その抵抗値を低くでき、高速化が可能となる。

(5) pポケット領域 30_1 、 30_2 を n^+ 型領域 35_1 、 35_2 より深くすることによって、下方向への空乏層の回り込みに対するストップとなるため、一層ショートチャンネル効果に対して強い構造を実現できる。

(6) pポケット形成のためのボロンインプラにおいて、ゲート電極下部にチャネリングにより、ボロンイオンが突き抜け、 V_{TH} の制御性を悪くする場合があるが、本発明は、多結晶シリ

上記実施例においては、モリブデン膜を使用して、多結晶シリコンと反応させてモリブデンシリサイドを形成したが、モリブデンのかわりに適切から、モリブデンシリサイドを使用しても良い。この場合、多結晶シリコン膜の膜厚等は、モリブデンの場合と別に最適化が必要となる。

上記実施例では、p-ポケットを中心として説明を行ったが、pチャンネルトランジスタの場合には、n-ポケットとなり、同様な工程で作成する事ができる。

〔発明の効果〕

以上詳述した如く、本発明によれば、ポケット領域とソース、ドレイン領域を構成する高濃度不純物拡散領域とを制御性よく形成してその接合容量の発生を防止し、高速化を図ると共に、ブレイクダウン電圧の向上、微細化に伴なうショートチャンネル効果の抑制を達成でき、ひいては高集積度、高速性、高信頼性のMOS型集積回路等の半導体装置を製造し得る方法を提供で

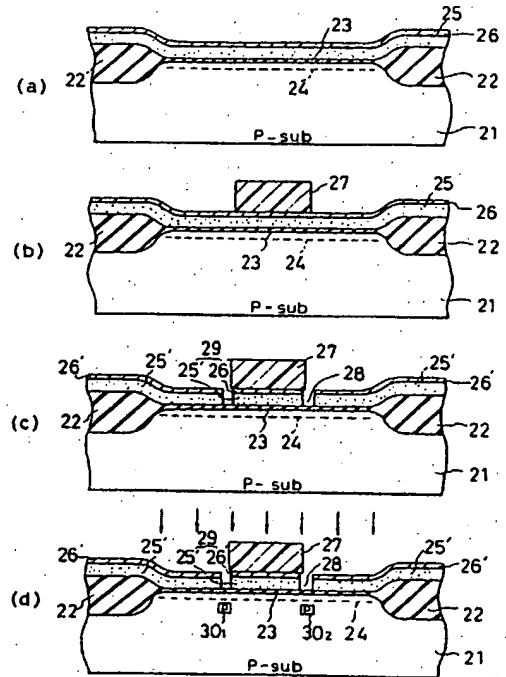
きる。

4. 図面の簡単な説明

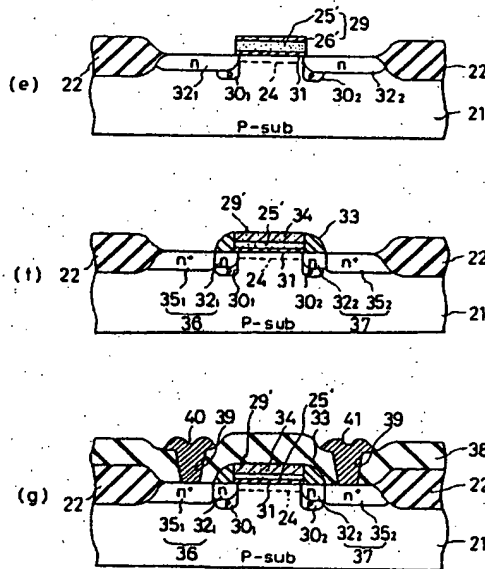
第1図(a)~(g)は本発明の実施例におけるnチャンネルMOS-ICの製造工程を示す断面図、第2図(a)、(b)は従来の同MOS-ICの製造工程を示す断面図である。

21…p型シリコン基板、22…フィールド酸化膜、25…多結晶シリコン膜、26…モリブデン膜、27…レジストパターン、28…pポケット開口部、29、29'…ゲート電極、30₁、30₂…pポケット領域、32₁、32₂…n型領域、33…スペーサ、34…モリブデンシリサイド膜、35₁、35₂…n⁺型領域、36…ソース領域、37…ドレイン領域。

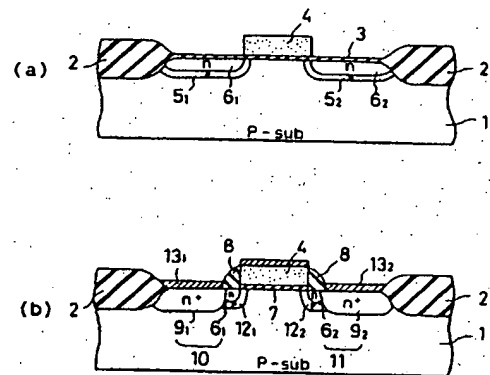
出願人代理人 弁理士 鈴 江 武 彦



第 1 図



第 1 図



第 2 図